



Rec'd PCT/PTO 11 MAY 2005
0/534462
PCT/FR 03/03449

REC'D 04 FEB 2004

WIPO PCT

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

BEST AVAILABLE COPY

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 05 DEC. 2003

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

DOCUMENT DE PRIORITÉ

PRÉSENTÉ OU TRANSMIS
CONFORMÉMENT À LA
RÈGLE 17.1.a) OU b)

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr



26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



REQUÊTE EN DÉLIVRANCE

page 1/2



Cet imprimé est à remplir lisiblement à l'encre noire

DB 540 © W/ :

REMISE DES PIÈCES DATE 25 NOV 2002 LIEU 38 INPI GRENOBLE N° D'ENREGISTREMENT 0214763 NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI 25 NOV. 2002		1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE Cabinet Hecké World Trade Center - Europole 5, place Robert Schuman BP 1537 38025 Grenoble Cedex 1	
Vos références pour ce dossier (facultatif) PA1649FR			
Confirmation d'un dépôt par télécopie		<input type="checkbox"/> N° attribué par l'INPI à la télécopie	
2 NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
Demande de brevet initiale		N° _____ Date _____	
ou demande de certificat d'utilité initiale		N° _____ Date _____	
Transformation d'une demande de brevet européen Demande de brevet initiale		<input type="checkbox"/> N° _____ Date _____	
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) Circuit intégré comportant des sous-ensembles connectés en série			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation _____ N° _____ Date _____ Pays ou organisation _____ N° _____ Date _____ Pays ou organisation _____ N° _____ Date _____ <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»	
5 DEMANDEUR (Cochez l'une des 2 cases)		<input checked="" type="checkbox"/> Personne morale <input type="checkbox"/> Personne physique	
Nom ou dénomination sociale Prénoms Forme juridique N° SIREN Code APE-NAF		Commissariat à l'Energie Atomique Etablissement Public de Caractère scientifique, technique et Industriel 31- 33 rue de la Fédération 75752 Paris française	
Domicile ou siège Rue Code postal et ville Pays		31- 33 rue de la Fédération 75752 Paris française	
Nationalité N° de téléphone (facultatif)		française N° de télécopie (facultatif)	


**BREVET D'INVENTION
CERTIFICAT D'UTILITÉ**
REQUÊTE EN DÉLIVRANCE
page 2/2


REMISE DES PIÈCES DATE 25 NOV 2002 LIEU 38 INPI GRENOBLE N° D'ENREGISTREMENT 0214763 NATIONAL ATTRIBUÉ PAR L'INPI		PA1649FR DB 540 W / 2102
7 MANDATAIRE (s'il y a lieu)		
Nom	Hecké Jouvray	
Prénom	Gérard Marie-Andrée	
Cabinet ou Société	Cabinet Hecké (S.A.)	
N° de pouvoir permanent et/ou de lien contractuel		
Adresse	Rue	World Trade Center - Europole
	Code postal et ville	5, place Robert Schuman - BP 1537
	Pays	38025 Grenoble Cedex
N° de téléphone (facultatif)		France
N° de télécopie (facultatif)		04 76 84 95 45
Adresse électronique (facultatif)		04 76 84 95 48
		hecke@dia.oleane.com
8 INVENTEUR (S) Les inventeurs sont nécessairement des personnes physiques		
Les demandeurs et les inventeurs sont les mêmes personnes		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non : Dans ce cas remplir le formulaire de Désignation d'inventeur(s)
9 RAPPORT DE RECHERCHE Uniquement pour une demande de brevet (y compris division et transformation)		
Établissement immédiat ou établissement différé		<input checked="" type="checkbox"/> <input type="checkbox"/>
Paiement échelonné de la redevance (en deux versements)		Uniquement pour les personnes physiques effectuant elles-mêmes leur propre dépôt <input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non
10 RÉDUCTION DU TAUX DES REDEVANCES		Uniquement pour les personnes physiques <input type="checkbox"/> Requête pour la première fois pour cette invention (joindre un avis de non-imposition) <input type="checkbox"/> Obtenue antérieurement à ce dépôt pour cette invention (joindre une copie de la décision d'admission à l'assistance gratuite ou indiquer sa référence): AG
11 SÉQUENCES DE NUCLEOTIDES ET/OU D'ACIDES AMINÉS		<input type="checkbox"/> Cochez la case si la description contient une liste de séquences
Le support électronique de données est joint La déclaration de conformité de la liste de séquences sur support papier avec le support électronique de données est jointe		<input type="checkbox"/> <input type="checkbox"/>
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes		
12 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire)		VISA DE LA PRÉFECTURE OU DE L'INPI
Gérard Hecké CPI 95-1201 Marie-Andrée Jouvray CPI 01-0410		

Circuit intégré comportant des sous-ensembles connectés en série

Domaine technique de l'invention

5

L'invention concerne un circuit intégré comportant au moins une partie numérique comportant un grand nombre de transistors élémentaires, connectés entre eux de manière à former une pluralité d'éléments fonctionnels élémentaires, les éléments fonctionnels élémentaires étant groupés en sous-ensembles, comportant chacun des première et seconde bornes d'alimentation électrique et une entrée d'horloge, les sous-ensembles étant connectés en série aux bornes d'une source de tension d'alimentation.

15

État de la technique

20

25

Les circuits intégrés numériques comme les microprocesseurs, les microcontrôleurs, les mémoires, etc... sont constitués d'un nombre sans cesse croissant de transistors élémentaires, de taille de plus en plus petite. Il est bien connu que selon la loi de Moore, le nombre de transistors sur une surface de silicium double tous les 18 mois. Ainsi, tous les 18 mois, sur le même substrat de silicium, le nombre de circuits intégrés double et la taille de chacun d'eux diminue. Cette diminution de taille permet des fréquences de fonctionnement accrues. La décroissance de taille des transistors impose que la tension d'alimentation maximale supportable par les transistors baisse. L'augmentation du nombre de transistors impose des courants d'alimentation plus élevés. Ce courant augmente aussi lorsque la fréquence d'horloge est plus élevée. Les tensions d'alimentation actuelles sont de l'ordre du volt. Les générations suivantes de circuits intégrés seront alimentées par des tensions inférieures au

volt. Généralement, les circuits intégrés sont alimentés par une tension d'alimentation de valeur identique à celle de chacun des éléments fonctionnels élémentaires.

5 La diminution des tensions d'alimentation de ces circuits intégrés numériques et l'augmentation simultanée du courant consommé donne lieu à des problèmes de conception et de pertes d'énergie des alimentations de tension au niveau des fils et des pistes de transmission du courant et des connexions d'alimentation du composant.

10

Le brevet US5703790 propose la mise en série de bornes d'alimentation de deux processeurs, permettant de les alimenter par une tension d'alimentation plus élevée. La fréquence de l'horloge du second processeur est pilotée par un circuit de régulation en fonction de la tension d'alimentation de ce second
15 processeur. La régulation est effectuée par comparaison de la tension d'alimentation du second processeur avec une tension de référence. L'écart des deux tensions détermine ensuite la fréquence de l'horloge du second processeur. Un régulateur shunt placé en parallèle avec le second processeur permet d'absorber une partie du courant provenant du premier processeur
20 lorsque le pilotage de fréquence d'horloge du second processeur ne permet pas d'absorber un courant suffisant.

25

Les horloges des deux processeurs étant différentes, les pics de courant des deux processeurs ne sont pas synchronisés. Le circuit de régulation intervient uniquement sur la fréquence de récurrence des seconds pics de manière à
contrôler le courant moyen du second processeur. Il n'est alors pas possible de fonctionner sans condensateurs de découplage connectés aux bornes d'alimentation des processeurs. En effet, un pic de courant du second processeur donnerait lieu à une surtension destructrice aux bornes du premier

processeur, alors que dans le même temps le second processeur n'aurait pas à ses bornes une tension de valeur suffisante. Le problème est similaire lors des pics de courant du premier processeur sauf si le second processeur est protégé par le régulateur shunt, si celui-ci est dimensionné pour ce courant et s'il est capable de dissiper l'énergie correspondante. En effet, dans ce cas, l'énergie envoyée sur les bornes d'alimentation du second processeur pourrait être dissipée au lieu d'être stockée dans le condensateur de découplage.

Les condensateurs de découplage sont des réserves d'énergie aux bornes des processeurs. Il est nécessaire que ces réserves d'énergie soient suffisantes pour fournir le courant aux processeurs pendant les phases transitoires de la régulation de tension qui agit par variation du courant consommé par le second processeur. Le dimensionnement de ces condensateurs de découplage et de la réserve d'énergie qu'ils constituent doit être adapté aux performances de réponse temporelle de la régulation. Comme la régulation par action sur le courant du second processeur s'effectue par contrôle de la fréquence d'horloge de celui-ci, les condensateurs de découplage doivent être dimensionnés pour fournir l'énergie pendant plusieurs cycles d'horloge. Si le circuit de régulation commute entre un fonctionnement à une fréquence haute et un fonctionnement à une fréquence basse selon le brevet US5703790, les condensateurs de découplage doivent être de valeur élevée pour être adaptés aux constantes de temps souvent longues de ce mode de régulation puisque l'on fonctionne en trains d'onde successivement à fréquence haute et fréquence basse. On se heurte alors aux problèmes technologiques de réalisation de ces condensateurs de découplage, de forte valeur sous basse tension, devant fournir les impulsions de courant.

Objet de l'invention

5 L'invention a pour but de remédier à ces inconvénients et, plus particulièrement, d'éviter des problèmes de conception et de pertes d'énergie des alimentations de basse tension à courant fort, tout en assurant une synchronisation des sous-ensembles d'un circuit intégré et une architecture simple d'un circuit intégré.

10 Selon l'invention, ce but est atteint par le fait que l'entrée d'horloge de chaque sous-ensemble est connectée à un circuit d'horloge commun.

Selon un développement de l'invention, les sous-ensembles sont constitués de façon à ce que la somme des courants instantanés d'alimentation traversant les éléments fonctionnels élémentaires d'un sous-ensemble est voisine de celles des autres sous-ensembles.

15 Selon un autre développement de l'invention, les entrées d'horloge des sous-ensembles sont connectées au circuit d'horloge par l'intermédiaire d'un dispositif apte à décaler les niveaux du signal d'horloge, comprenant par exemple des condensateurs ou de transistors.

20 Selon un mode de réalisation préférentiel, chacun des sous-ensembles comporte un circuit de limitation de tension connecté entre ses bornes d'alimentation et comportant, de préférence, une diode ou un transistor.

25

Description sommaire des dessins

D'autres avantages et caractéristiques ressortiront plus clairement de la description qui va suivre de modes particuliers de réalisation de l'invention

donnés à titre d'exemples non limitatifs et représentés aux dessins annexés, dans lesquels :

5 Les figures 1 et 2 représentent deux modes de réalisation particuliers d'un circuit intégré selon l'invention.

Les figures 3,4 et 5 représentent différents modes de réalisation particuliers d'un sous-ensemble d'un circuit intégré selon l'invention.

10 Description de modes particuliers de réalisation.

Le circuit intégré représenté à la figure 1 comporte plusieurs sous-ensembles 2 (cinq sous-ensembles 2a à 2e sur la figure 1). Les sous-ensembles comportent chacun une première borne d'alimentation B1, une seconde borne d'alimentation B2 et une entrée d'horloge, respectivement H1 à H5. Les sous-ensembles sont connectés en série aux bornes d'une source de tension d'alimentation 3, connectée en parallèle avec un condensateur de découplage 4. Les différents sous-ensembles sont parcourus par le même courant, noté 1. Les entrées d'horloge H1 à H5 des sous-ensembles 2a à 2e sont connectées à un circuit d'horloge commun 5 par l'intermédiaire de dispositifs 6,7 aptes à décaler les niveaux du signal d'horloge. Sur la figure 1, les entrées d'horloge de deux sous-ensembles adjacents (c'est-à-dire dont les bornes d'alimentation B1 et B2 sont connectées) sont connectées par un dispositif 6 apte à décaler les niveaux du signal d'horloge, respectivement 6a entre les entrées d'horloge H1 et H2, 6b entre les entrées d'horloge H2 et H3, 6c entre les entrées d'horloge H3 et H4, et 6d entre les entrées d'horloge H4 et H5. L'entrée d'horloge (H5) d'un des sous-ensembles (2e) situé à une extrémité de la série peut être avantageusement connecté par un dispositif 6e apte à décaler les niveaux du signal d'horloge à la sortie du circuit d'horloge commun 5. Le dispositif 6 apte à

décaler les niveaux du signal d'horloge, connu de l'homme de l'art, permet de transmettre le signal d'horloge (ou tout autre signal) tout en décalant les niveaux de façon identique ou indépendante.

5 Un dispositif 6 apte à décaler les niveaux du signal d'horloge peut par exemple être constitué par un simple condensateur, ou par un circuit à base de transistors ou par un circuit à base de transistors et de condensateurs, par exemple du type décrit dans l'article « Low power CMOS level shifters by bootstrapping technique » (Electronics Letters 1st August 2002, Vol. 38 No. 16).

10

Il faut remarquer que la figure 1, ainsi que les autres figures, ne représente que certains types de connexion : les connexions d'alimentation et d'horloge. D'autres connexions peuvent coexister entre les sous-ensembles par exemple pour la transmission de données, ces autres connexions pouvant comprendre
15 des dispositifs complexes comme par exemple des dispositifs aptes à décaler des niveaux de signaux.

20

Selon un autre mode de réalisation particulier, représenté à la figure 2, l'entrée d'horloge, respectivement H1 à H5, d'un sous-ensemble, respectivement 2a à 2e, est connectée à une sortie du circuit d'horloge 5 par l'intermédiaire d'un dispositif 7 apte à décaler les niveaux du signal d'horloge (respectivement 7a à 7e), du même type que le dispositif 6 de la figure 1.

25

Comme représenté aux figures 3 à 5, un sous-ensemble 2 comporte un condensateur de découplage 8 et un circuit 9 de limitation de tension, connectés en parallèle entre les bornes d'alimentation B1 et B2, permettant ainsi d'éviter une tension trop élevée entre les bornes d'alimentation du sous-ensemble correspondant. Les circuits de limitation de tension 9 sont par exemple constitués, de manière connue, par des diodes ou des transistors. A titre

d'exemple, sur la figure 3, le circuit de limitation de tension 9 est constitué par une diode Zener, sur la figure 4 par une jonction de diode polarisée en direct, et sur la figure 5, par un dispositif à base de transistors. Chaque sous-ensemble peut être composé de plusieurs éléments fonctionnels élémentaires 10, connectés en parallèle entre les bornes d'alimentation B1 et B2. Les éléments fonctionnels élémentaires comportent eux-mêmes un grand nombre de transistors élémentaires.

L'architecture interne particulière d'un circuit intégré selon l'invention permet l'alimentation du circuit à des tensions supérieures ou égales aux tensions standard (par exemple 3,3V) et assure l'alimentation des différents transistors sous des tensions nettement inférieures par exemple au volt, tout en assurant une synchronisation des sous-ensembles grâce à l'horloge commune.

En raison de leur mise en série, tous les sous-ensembles 2 sont à des potentiels électriques différents. La différence de potentiel entre les deux sous-ensembles extrêmes est d'autant plus importante, comparée avec la tension d'alimentation aux bornes d'un des sous-ensembles, que le nombre de sous-ensembles augmente. Par conséquent, les sous-ensembles doivent être séparés par des moyens d'isolation électrique. Cette isolation électrique peut être réalisée de toute manière connue, par exemple par l'utilisation de jonctions de diode polarisées en inverse et/ou de zones diélectriques et/ou par réalisation d'îlots de silicium, isolés par des zones diélectriques, réalisés à partir d'un substrat de silicium sur isolant (« SOI : silicon-on-insulator »).

25

La transmission du signal d'horloge aux différents sous-ensembles par les dispositifs 6,7 aptes à décaler les niveaux du signal d'horloge (6a à 6d de la figure 1 ou 7a à 7e de la figure 2) permet d'assurer une très bonne synchronisation. Le mode de réalisation à la figure 2 est un mode préférentiel,

car il assure une meilleure synchronisation des sous-ensembles par principe. En effet, dans le mode de réalisation de la figure 1, les dispositifs 6 sont en série et entraînent une sommation des retards, alors que dans le mode de réalisation de la figure 2, les dispositifs 7 sont en parallèle et les retards peuvent être
5 identiques pour chacun des sous-ensembles.

Si un sous-ensemble tend à consommer à un instant donné un peu moins de courant que les autres sous-ensembles, comme le courant qui le traverse est défini, la tension aux bornes du sous-ensemble augmente. Ce mode de
10 fonctionnement peut être toléré. Sinon, il peut être adapté d'inclure à chacun des sous-ensembles un circuit de limitation de la tension 9, du type décrit ci-dessus, par lequel passe le courant excédentaire du sous-ensemble correspondant. C'est pourquoi l'invention est aussi particulièrement intéressante quand tous les éléments fonctionnels élémentaires 10 sont identiques dans tous
15 les sous-ensembles : les consommations sont donc alors bien toutes identiques. C'est le cas par exemple des architectures de type SIMD (abréviation du terme anglais « single instruction multiple data streams »).

Typiquement, en moyenne ce courant excédentaire devrait être inférieur à 20 %
20 du courant moyen traversant le sous-ensemble. Dans ce cas, il n'est alors pas gênant de dissiper l'énergie correspondant à ce courant et à la tension du sous-ensemble.

A titre d'exemple, le circuit de limitation de la tension 9 peut être réalisé par une
25 diode Zener (figure 3), une jonction de diode polarisée en direct (figure 4) ou un transistor de type MOSFET commandé (figure 5). La grille du MOSFET peut notamment être pilotée par la sortie d'un comparateur de tension, comparant la tension aux bornes d'un sous-ensemble à une tension de référence. Ainsi, pour

chaque sous-ensemble, le circuit de limitation de la tension 9 peut être intégré dans le semi-conducteur.

5 De même, le condensateur de découplage additionnel 8, qui peut être inclus dans chaque sous-ensemble, permet de fournir ou absorber des différences transitoires brèves de courants entre les sous-ensembles. Ces condensateurs additionnels ne doivent fournir ou absorber qu'une faible partie des impulsions de courant. De ce fait, ces condensateurs de faible valeur peuvent être intégrés dans le semi-conducteur. Cette fonction de découplage additionnel peut être
10 assurée en tout ou en partie par la capacité parasite du sous-ensemble et du dispositif utilisé pour la limitation de la tension. Ceci représente un avantage important par rapport à l'art antérieur, qui nécessite la réalisation sur chaque sous-ensemble de forts stockages d'énergie dans les condensateurs de découplage.

15 Un circuit intégré selon l'invention peut être alimenté par une alimentation 3 à découpage classique sous une tension de cinq volts par exemple. L'invention permet d'assurer l'alimentation sous basse tension de chacun des sous-ensembles 2 de la série de sous-ensembles. Chacun des éléments nécessaires à la réalisation de l'invention (le circuit d'horloge 5 commun, les sous-ensembles
20 2, l'isolation des sous-ensembles entre eux, le circuit 9 de limitation de la tension de chaque sous-ensemble, les moyens de découplage 8) sont réalisables dans un circuit intégré à semi-conducteur et utilisent une faible part de la surface du semi-conducteur, ce qui revient à un faible surcoût de la réalisation. Un substrat de type SOI est particulièrement adapté pour la
25 réalisation de l'invention.

Pour minimiser la consommation d'un circuit intégré selon l'art antérieur, les éléments fonctionnels élémentaires non utilisés dans un circuit peuvent être

déconnectés de l'alimentation par des transistors utilisés comme interrupteurs et la valeur de la tension d'alimentation fournie au circuit intégré par l'alimentation à découpage ou par le régulateur abaisseur dédié au circuit intégré peut être commandée.

5

La consommation d'un circuit selon l'invention peut être minimisée en utilisant un ou plusieurs des trois moyens suivants :

10

- Déconnecter un élément fonctionnel élémentaire 10 non-utilisé d'un sous-ensemble 2 de l'alimentation de ce sous-ensemble par l'ouverture de transistors. Il faut cependant remplir le critère de consommation de courant identique des sous-ensembles. Par exemple, dans le cas de sous-ensembles identiques constitués d'éléments fonctionnels élémentaires identiques, il est préférable d'isoler le même élément fonctionnel élémentaire sur chacun des sous-ensembles au même moment.
- Court-circuiter les bornes d'alimentation B1 et B2 d'un sous-ensemble par un transistor auxiliaire pour annuler la consommation de ce sous-ensemble et adapter en conséquence la tension fournie au circuit intégré.
- Adapter la tension fournie au circuit intégré par l'alimentation à découpage ou le convertisseur abaisseur alimentant le circuit intégré.

20

La mise en série d'un grand nombre de sous-ensembles est possible. La limitation du nombre de sous-ensembles imposées par les régulations du circuit intégré selon le brevet US5703790 n'existe pas.

25

Revendications

- 5 1. Circuit intégré comportant au moins une partie numérique (1) comportant un grand nombre de transistors élémentaires, connectés entre eux de manière à former une pluralité d'éléments fonctionnels élémentaires (10), les éléments fonctionnels élémentaires étant groupés en sous-ensembles (2), comportant chacun des première (B1) et seconde (B2) bornes d'alimentation électrique et une entrée d'horloge (H), les sous-ensembles (2) étant
10 connectés en série aux bornes d'une source de tension d'alimentation (3), circuit intégré (1) caractérisé en ce que l'entrée d'horloge (H) de chaque sous-ensemble (2) est connectée à un circuit d'horloge commun (5).
- 15 2. Circuit intégré (1) selon la revendication 1, caractérisé en ce que les sous-ensembles (2) sont constitués de façon à ce que la somme des courants instantanés d'alimentation traversant les éléments fonctionnels élémentaires (10) d'un sous-ensemble soit voisine de celles des autres sous-ensembles.
- 20 3. Circuit intégré (1) selon l'une des revendications 1 et 2, caractérisé en ce que l'entrée d'horloge (H) d'au moins un sous-ensemble (2) est connectée au circuit d'horloge commun (5) par l'intermédiaire d'un dispositif (6,7) apte à décaler les niveaux du signal d'horloge.
- 25 4. Circuit intégré (1) selon l'une quelconque des revendications 1 à 3, caractérisé en ce que les entrées d'horloge (H) d'au moins deux sous-ensembles (2) adjacents sont connectées par un dispositif (6) apte à décaler les niveaux du signal d'horloge.

5. Circuit intégré (1) selon la revendication 4, caractérisé en ce que l'entrée d'horloge d'un des sous-ensembles d'extrémité (2e) est connectée par l'intermédiaire d'un dispositif (6e) additionnel apte à décaler les niveaux du signal d'horloge à la sortie du circuit d'horloge (5).
- 5
6. Circuit intégré (1) selon l'une quelconque des revendications 3 à 5, caractérisé en ce que le dispositif (6,7) apte à décaler les niveaux du signal d'horloge comporte au moins un condensateur.
- 10
7. Circuit intégré (1) selon l'une quelconque des revendications 3 à 6, caractérisé en ce que le dispositif (6,7) apte à décaler les niveaux du signal d'horloge comporte au moins un transistor.
8. Circuit intégré selon l'une quelconque des revendications 1 à 7, caractérisé en ce que tous les sous-ensembles (2) sont identiques.
- 15
9. Circuit intégré selon l'une quelconque des revendications 1 à 8, caractérisé en ce que chacun des sous-ensembles (2) comporte un circuit de limitation de tension (9) connecté entre ses bornes d'alimentation (B1 et B2).
- 20
10. Circuit intégré selon la revendication 9, caractérisé en ce que le circuit de limitation de tension (9) comporte une diode.
11. Circuit intégré selon l'une des revendications 9 et 10, caractérisé en ce que le circuit de limitation de tension (9) comporte un transistor.
- 25
12. Circuit intégré selon l'une quelconque des revendications 1 à 11, caractérisé en ce que chaque sous-ensemble (2) comporte un condensateur (8) de

découplage connecté entre la première (B1) et la seconde (B2) borne d'alimentation du sous-ensemble.

5 13. Circuit intégré selon l'une quelconque des revendication 1 à 12, caractérisé en ce que le circuit intégré comporte des moyens d'isolation électrique entre les sous-ensembles.

10 14. Circuit intégré selon la revendication 13, caractérisé en ce que les moyens d'isolation électrique entre les différents sous-ensembles sont des jonctions de diode polarisées en inverse.

15 15. Circuit intégré selon l'une des revendications 13 et 14, caractérisé en ce que les moyens d'isolation électrique entre les différents sous-ensembles sont des zones diélectriques.

20 16. Circuit intégré selon l'une quelconque des revendications 1 à 15, caractérisé en ce que le circuit intégré comporte des îlots de silicium réalisés à partir d'un substrat de silicium sur isolant.

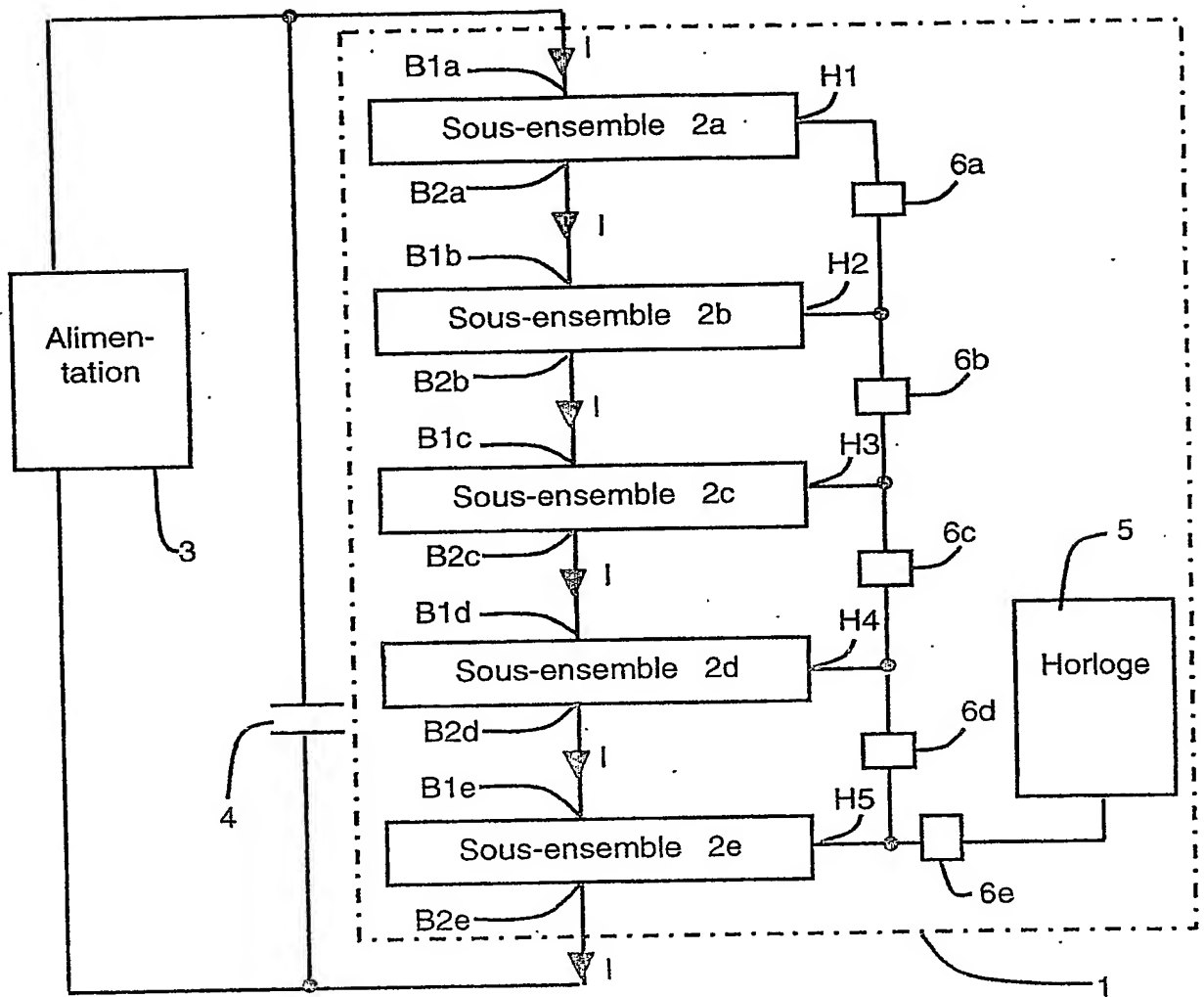


Figure 1

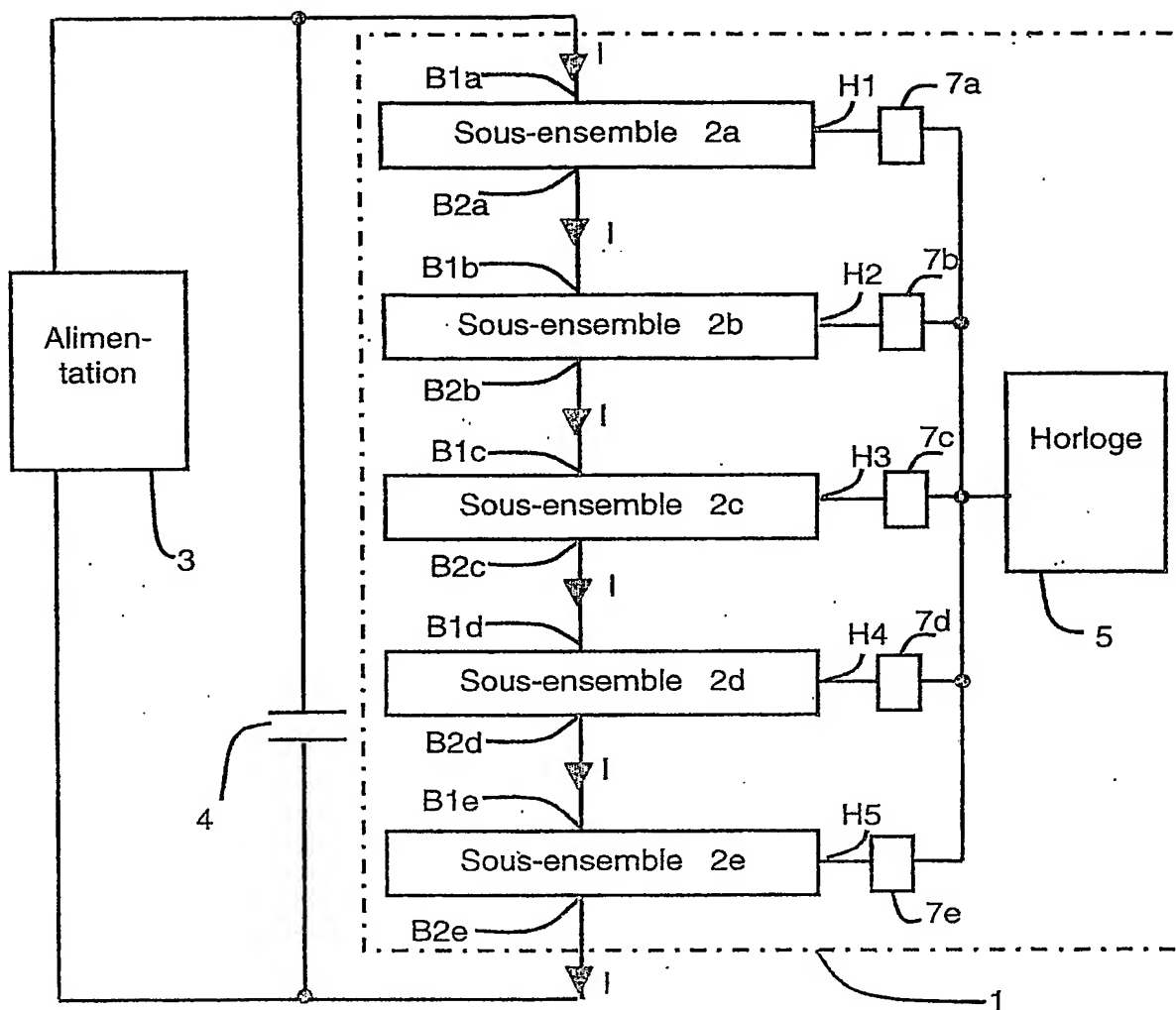


Figure 2

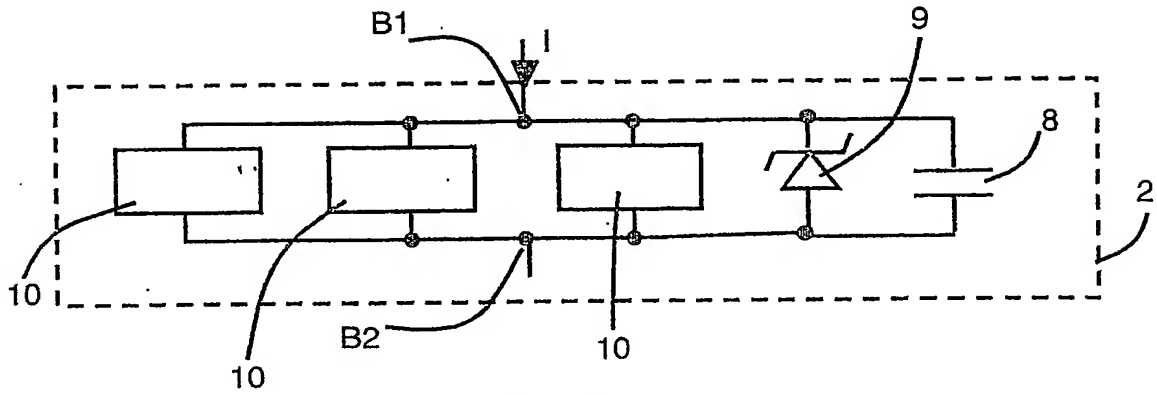


Figure 3

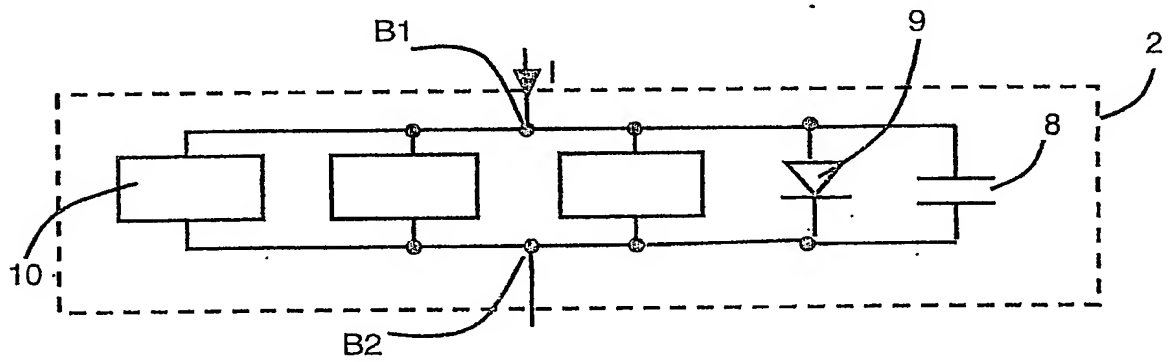


Figure 4

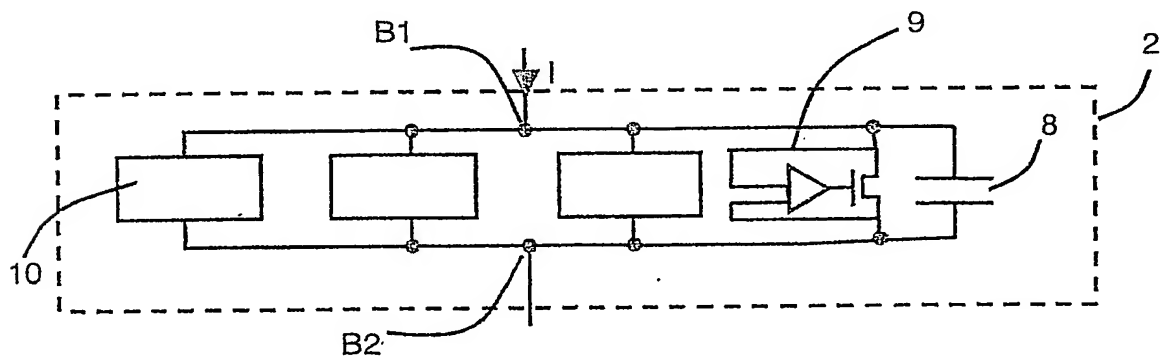


Figure 5

DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg

75800 Paris Cedex 08

Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

DÉSIGNATION D'INVENTEUR(S) Page N° 1/ 1

(À fournir dans le cas où les demandeurs et les inventeurs ne sont pas les mêmes personnes)

Cet imprimé est à remplir lisiblement à l'encre noire

DB 113 @ W / 270

Vos références pour ce dossier (facultatif)	PA1649FR
N° D'ENREGISTREMENT NATIONAL	02 14763

TITRE DE L'INVENTION (200 caractères ou espaces maximum)

Circuit intégré comportant des sous-ensembles connectés en série

LE(S) DEMANDEUR(S) :

Commissariat à l'Energie Atomique

DESIGNE(NT) EN TANT QU'INVENTEUR(S) :

<input checked="" type="checkbox"/> 1	Nom	Chatroux
	Prénoms	Daniel
	Adresse	Rue
		1 allée Maurice Ravel
		Code postal et ville
		26200 Montelimar
	Société d'appartenance (facultatif)	
<input checked="" type="checkbox"/> 2	Nom	Belleville
	Prénoms	Marc
	Adresse	Rue
		12 rue de Chantemerle
		Code postal et ville
		38120 Saint Egrève
	Société d'appartenance (facultatif)	
<input checked="" type="checkbox"/> 3	Nom	
	Prénoms	
	Adresse	Rue
		Code postal et ville
	Société d'appartenance (facultatif)	

S'il y a plus de trois inventeurs, utilisez plusieurs formulaires. Indiquez en haut à droite le N° de la page suivi du nombre de pages.

DATE ET SIGNATURE(S)

DU (DES) DEMANDEUR(S)

OU DU MANDATAIRE

(Nom et qualité du signataire)

Gérard Hecké

CPI 95-1201

Marie-Andrée Jouvray

CPI 01-0410



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.